

# Méthode de conception des systèmes intégrés multi-physiques et continues-discrets

De nombreux dispositifs existants et futurs sont et seront composés de plusieurs modules hétérogènes, grâce aux progrès en matière de miniaturisation, d'intégration et de micro-fabrication. Ces dispositifs représentent les modules qui peuvent interagir avec le monde physique et sont composés généralement des modules multi-physiques (capteurs), analogiques (interfaçage) et numériques (traitement de données). Ces systèmes présentent un énorme défi de conception et un cycle très long de mise sur le marché. Afin de dépasser les défis de conception, ce type de système complexe a besoin de nouveaux outils et techniques d'analyses afin d'accélérer et d'automatiser le processus de conception.

Dans cette thèse, on répond à cette problématique en proposant un nouveau flot de conception de systèmes analogiques et hétérogènes (multi-physiques et continus-discrets). Le flot est basé sur un outil du laboratoire CNRS-INL, et suit une méthode hiérarchique qui permet une évaluation systématique des compromis de performance lors de la conception des systèmes hétérogènes. La méthode s'appuie sur la caractérisation des courbes de compromis (Fronts de Pareto) comme abstraction appropriée pour le comportement d'un bloc. A partir des spécifications système, nous avons utilisé le front de Pareto du système afin de déterminer les contraintes de chaque bloc.

Dans le but d'accélérer le processus d'optimisation des systèmes et des blocs, nous avons utilisé un outil de simulation rapide (Tactyle) capable de conserver la précision de la simulation. Ceci a permis d'avoir un environnement de modélisation homogène pour des systèmes de nature hétérogène d'une part, et d'éviter l'incompatibilité entre les outils de modélisation et de simulation d'autre part. Nous avons intégré dans le flot une méthode d'accélération de conception des blocs analogiques s'appuyant sur un nouvel outil innovant à base de graphes (ID-Xplore). Cet outil permet une exploration rapide de l'espace de performance des circuits analogiques. L'exploration rapide permet ainsi d'éviter l'effort computationnel requis par l'optimisation numérique classique.

Le flot complet de conception a été validé sur un modèle d'accéléromètre à un axe sur 3 niveaux de conception, ainsi que sur un circuit analogique d'interface (AFE) reconfigurable impliquant l'optimisation par le biais de paramètres discrets.

Mots clés : Optimisation, Conception hiérarchique, front de Pareto, conception hétérogène, accélération

# Design method of integrated multi-physics and continuous-discrete systems

Many existing and future devices are and will be composed of several heterogeneous modules, thanks to advances in miniaturization, integration and micro-fabrication. These devices represent the modules that can interact with the physical world and are generally composed of multi-physics (sensors), analog (interfacing) and digital (data processing) modules. These systems present a huge design challenge and a very long time-to-market cycle. In order to overcome design challenges, this type of complex system needs new analysis tools and techniques to accelerate and automate the design process.

In this thesis, we respond to this problem by proposing a new design flow for analog and heterogeneous systems (multi-physics and continuous-discrete). The flow is based on a tool from the CNRS-INL laboratory, and follows a hierarchical method that allows a systematic evaluation of performance trade-offs when designing heterogeneous systems. The method is based on the characterization of trade-offs curves (Pareto fronts) as a suitable abstraction for the behavior of a block. From the system specifications, we used the Pareto front of the system to determine the constraints of each block.

In order to accelerate the process of system and block optimization, we used a fast simulation tool (Tactyle) capable of maintaining the accuracy of the simulation. This has enabled us to have a homogeneous modeling environment for systems of a heterogeneous nature on the one hand, and to avoid incompatibility between modeling and simulation tools on the other. We have integrated into the flow a method for accelerating the design of analog blocks based on a new innovative graph-based tool (ID-Xplore). This tool allows a quick exploration of the performance space of analog circuits. Rapid exploration thus avoids the computational effort required by classical numerical optimization.

The complete design flow has been validated on a single-axis accelerometer model on 3 design levels, as well as on a reconfigurable analog front-end (AFE) involving optimization through discrete parameters.

Keywords: Optimization, Hierarchical design, Pareto front, heterogeneous design, acceleration