

Avis de Soutenance

Monsieur Salvatore PAPPALARDO

Electronique, Micro et Nanoélectronique, optique et laser

Soutiendra publiquement ses travaux de thèse intitulés

Investigating Hardware for Testable and Resilient Artificial Intelligence

dirigés par Monsieur Alberto BOSIO

Soutenance prévue le **lundi 01 décembre 2025** à 14h00

Lieu : 36, avenue Guy de Collongue 69134 ECULLY Cedex – France

Salle : W1 - Amphi. 202

Composition du jury proposé

M. Bosio ALBERTO	INL	Directeur de thèse
Mme Angeliki KRITIKAKOU	Université de Rennes	Examinatrice
M. Andrea PINNA	Sorbonne Université - LIP6	Rapporteur
Mme Leticia Maria BOLZANI PÖHLS	Leibniz Institute for High Performance Microelectronics	Rapporteuse
M. Bastien DEVEAUTOUR	Nantes Université	Co-encadrant de thèse

Mots-clés : fiabilité, réseaux neuronaux, hardwarew ,

Résumé :

C'est en 1943 que l'idée des réseaux de neurones (NNs) a été introduite pour la première fois dans la communauté académique en tant que paradigme computationnel. À cette époque, Warren McCulloch et Walter Pitts publiaient un article intitulé «The Logical Calculus of the Ideas Immanent in Nervous Activity, »dans lequel ils formalisaient le concept de réseau nerveux à travers une nouvelle théorie. Les auteurs y affirmaient que «pour la psychologie, quelle que soit sa définition, la spécification du réseau contribuerait à tout ce qui pourrait être accompli dans ce domaine », soulignant ainsi l'espoir de reproduire une intelligence artificielle (IA) générale, comparable à l'intelligence humaine. Ce n'est qu'en 2012, avec l'introduction de l'architecture AlexNet pour la classification d'images, que cette vision théorique a véritablement pris son essor. Treize ans plus tard, en 2025, nous avons parcouru un long chemin : nos systèmes sont désormais suffisamment sophistiqués pour passer aisément le test de Turing. L'avènement des grands modèles de langage (LLMs) a complètement transformé le paysage de l'IA. Cependant, ces progrès s'accompagnent d'un coût élevé : non seulement la puissance requise pour faire fonctionner les systèmes actuels dépasse celle de tout système computationnel du passé, mais il a également été démontré que les modèles d'IA plus volumineux offrent de meilleures capacités, annonçant des besoins énergétiques encore plus importants. Aujourd'hui, nous disposons des machines les plus puissantes de tous les temps. Pour- tant, en observant les avancées récentes, il semble que nous allons bientôt saturer toute la puissance disponible. Une grande partie de ces progrès est due à la loi de Moore, qui stipule que le nombre de transistors dans un circuit intégré double tous les deux ans. Cependant, cette loi approche ses limites en raison des effets quantiques se manifestant à l'échelle actuelle (3 nm), et les défauts de fabrication deviennent de plus en plus problématiques. De plus, les améliorations potentielles de l'IA semblent limitées par les contraintes computationnelles liées aux murs de la puissance et de la mémoire. Bien que ces problèmes soient connus depuis le début des années 2000, la communauté s'est tournée vers de nouvelles architectures (avec un succès modéré) pour répondre à l'opération la plus courante dans l'IA moderne : la multiplication matricielle. À cet égard, l'architecture la plus populaire est le tableau systolique (SA), introduit dans les années 1960, qui offre une performance presque dix fois supérieure tout en consommant environ la moitié de l'énergie. Le succès de cette technologie a poussé de nombreuses entreprises à proposer leur propre version. Cependant, avec des centres de données suffisamment vastes, un nouveau défi émerge : les corruptions silencieuses de données (SDC). Des entreprises comme Intel, Google et Meta ont rapporté que des erreurs quasi aléatoires affectent les calculs de leurs serveurs. Ce problème devient particulièrement crucial lorsque de tels systèmes sont introduits dans des environnements critiques pour la sécurité.