



Avis de Soutenance

Madame Sara MANNA

Electronique, Micro et Nanoélectronique, optique et laser

Soutiendra publiquement ses travaux de thèse intitulés

Cube de calcul IA intégré en 3D basé sur des dispositifs à nanofils verticaux

dirigés par Monsieur Ian O'CONNOR et Monsieur Damien DELERUYELLE

Soutenance prévue le **mardi 04 novembre 2025** à 9h30

Lieu : 36 Av. Guy de Collongue, ECL Bâtiment W1, 69130 Écully

Salle : Amphi 203

Composition du jury proposé

M. Ian O'CONNOR	Ecole Centrale de Lyon	Directeur de thèse
M. Damien DELERUYELLE	Insa-lyon	Co-directeur de thèse
M. Jean-Michel PORTAL	Aix-Marseille Université	Rapporteur
Mme Aida TODRI-SANIAL	TU Eindhoven	Rapporteure
Mme Cristell MANEUX	University of Bordeaux, Bordeaux INP, CNRS	Examinatrice
M. Thomas ERNST	CEA-Leti	Examineur
M. Julien RYCKAERT	IMEC	Examineur
Mme Katherine CHIANG	TSMC	Examinatrice

Mots-clés : Technologies émergentes, Nanofils Verticaux, GAA, Empilement de grilles, Bibliothèque de cellules standard, Synthèse logique

Résumé :

Le transistor à effet de champ à nanofil vertical (VNWFET) représente une technologie émergente susceptible de prolonger le scaling des transistors au-delà des limites des dispositifs latéraux conventionnels. Grâce à son architecture tridimensionnelle gate-all-around (GAA), il offre un meilleur compromis en termes d'efficacité énergétique, d'empreinte et de capacitance d'interconnexion. Dans ce travail, nous présentons un flot complet de génération et de vérification de bibliothèques de cellules standards basé sur un modèle compact exécutable en Verilog-A, ajusté à partir de mesures expérimentales sur dispositifs VNWFET. Ce flot couvre la conception au niveau transistor, la caractérisation de cellules logiques de base, le design physique ainsi que l'extraction parasitique. Nous l'étendons ensuite à l'exploration et à l'optimisation de l'empilement à double grille, caractéristique clé des dispositifs GAA. La synthèse logique sur les circuits de référence ISCAS-85 permet d'évaluer différentes variantes de bibliothèques (comparées au CMOS et au FinFET 7 nm) et conduit à la synthèse d'un élément de traitement IA (Processing Element, PE): le Neural Network Compute Cube (N2C2), unité de calcul élémentaire d'un réseau systolique ciblé. L'évaluation du produit Puissance-Délai-Surface (PDAP) démontre que le N2C2 synthétisé avec les bibliothèques VNWFET surpasse le FinFET 7 nm d'un facteur de 2,11X et 3,39X pour les approches à simple et double grille, respectivement.